

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-021979

(43)Date of publication of application : 21.01.2000

(51)Int.Cl.

H01L 21/768  
H01L 21/28

(21)Application number : 10-189428

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing :

03.07.1998

(72)Inventor : YANAGIDAIRA YASUSHI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

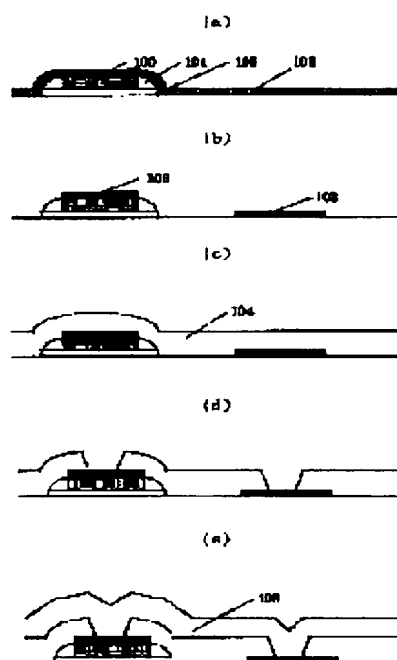
## (57)Abstract:

PROBLEM TO BE SOLVED: To prevent improper occurrence due to the mutual diffusion between metal wiring and substrate Si by forming the lower-layer barrier metal of a first-layer metal wiring before forming the interlayer insulation film between a gate electrode and first-layer aluminum.

SOLUTION: After a transistor is formed, Ti and TiN that are a barrier metal layer 103 of metal wiring is sputtered to the entire surface of an Si wafer.

Then, while the barrier metal layer 103 is left only at the metal wiring, a gate electrode 100, and the contact part with the Si substrate, the other parts are eliminated by etching. Then, an interlayer

insulation film 104 is formed on the entire surface of the Si wafer by CVD or the like. Further, for only the metal wiring, the gate electrode 100, and the contact part with the Si substrate, an interlayer insulation film 104 is eliminated by etching. Finally, aluminum, tungsten, and the like that is a remaining layer 105 of the metal wiring are formed by sputtering or CVD.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-21979

(P2000-21979A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 21/768

H 0 1 L 21/90

D 4 M 1 0 4

21/28

3 0 1

21/28

3 0 1 R 5 F 0 3 3

審査請求 未請求 請求項の数 3 O L (全 3 頁)

(21) 出願番号 特願平10-189428

(22) 出願日 平成10年7月3日 (1998.7.3)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 柳平 靖

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

最終頁に続く

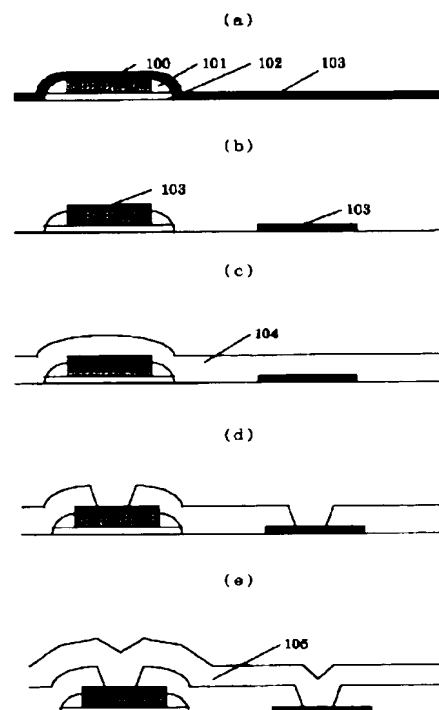
## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】従来金属配線は、絶縁膜を形成しコンタクトホールを開孔してから、金属配線全層を連続的に成膜していた。そのため、高アスペクト比のコンタクトホールになると、金属配線下層のバリアメタルが十分な厚さ付きまわらず、コンタクト部でのジャンクション破壊不良などを発生させていた。

【解決手段】層間絶縁膜を形成する前に、バリアメタル層のみ形成しておいて、その後層間絶縁膜成膜、コンタクトエッチング、金属配線層の成膜とすることで、バリアメタルはコンタクトホールのアスペクト比に関係なく、十分な膜厚が形成できる。

【効果】コンタクトホールのアスペクト比がいくら上昇しても、十分な厚さのバリアメタル層が形成できることから、コンタクトスパイクなど、金属配線と基板Siとの相互拡散による不良発生を防止できる。



# 【特許請求の範囲】

【請求項1】第1層目金属配線がバリアメタルを含む多層構造で形成される半導体集積回路において、ゲート電極と第1層目金属配線間の層間絶縁膜を形成する前に、第1層目金属配線の1層目バリアメタルを形成することを特長とする半導体装置の製造方法

【請求項2】第1層目金属配線のバリアメタルのみ成膜後、金属配線とS<sub>1</sub>基板およびゲート金属とのコンタクト部分以外をエッチングにより取り去ることを特長とする半導体装置の製造方法

【請求項3】第1層目金属配線のバリアメタルを金属配線とS<sub>1</sub>基板およびゲート金属とのコンタクトよりも広面積にパターンニングして残すことを特長とする半導体装置の製造方法

# 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体集積回路の製造方法、特に金属配線の形成方法に関する。

## 【0002】

【従来の技術】 従来、第1層目A<sub>1</sub>配線がバリアメタルを含む多層構造で形成される半導体集積回路は、ゲート電極と第1層目金属配線間の層間絶縁膜を形成し、コンタクト部分のみエッチング後、多層構造全ての金属を連続的に成膜し、その後でエッチングにより金属配線のパターンニングを行っていた。特に、金属配線のバリアメタルについては、スパッタ法により成膜されることが多かった。

## 【0003】

【発明が解決しようとする課題】 しかし、従来の製造方法では、設計ルールの微細化によりコンタクト径が縮小された場合、および層間容量の問題からゲート金属と第1層目金属配線との層間絶縁膜を厚くした場合、コンタクト径とコンタクト高さのアスペクト比が高くなり、よって従来のスパッタ法ではバリアメタルが十分な厚さ形成できなかった。この場合、バリアメタル層が金属配線中の元素と基板S<sub>1</sub>との相互拡散を防止するためのバリア層とならず、コンタクト部へのS<sub>1</sub>析出によるコンタクト抵抗増大やS<sub>1</sub>中の拡散シヤンクン破壊によるリーク電流発生などの不良を発生させていた。

## 【0004】

【課題を解決するための手段】 上記課題を解決するため、本発明はゲート電極と第1層目A<sub>1</sub>間の層間絶縁膜を形成する前に、第1層目金属配線の下層バリアメタルを形成することを特長とする。また、その後絶縁膜を成膜し、コンタクト部分のみエッチングしてから、残りの金属層を成膜することで、第1層目金属配線を形成する。

## 【0005】

【作用】 上記のような製造方法を採用することで、コン

タクト径の縮小、ゲート電極と第1層目金属配線間の層間絶縁膜の厚膜化が行われ、コンタクト径と高さのアスペクト比が上昇した場合でも、十分な厚さのバリアメタル層が形成できることから、コンタクトスパイクなど、金属配線と基板S<sub>1</sub>との相互拡散による不良発生が防止できる。

## 【0006】

【発明の実施の形態】 以下に本発明の実施例を図面にもとづいて説明する。

【0007】 図1は、本発明の製造方法の断面図であり、100はゲート金属、101はサイドウォール、102はゲート酸化膜、103は金属配線のバリアメタル層である。

【0008】 図1(a)において、トランジスタ形成後に金属配線のバリアメタル層、例えばT<sub>1</sub>、T<sub>1</sub>NをS<sub>1</sub>ウェーハ全面にスパッタする。そのあと、(b)において、金属配線とゲート金属、およびS<sub>1</sub>基板とのコンタクト部のみバリアメタルを残して、その他の部分をエッチングにより取り去る。このとき、この後の工程のパターンニングずれ精度を考慮して、コンタクト径よりも大きめにバリアメタル層を残すことが重要である。次に、

(c)において、S<sub>1</sub>ウェーハ全面に層間絶縁膜をCVD等で成膜する。更に(d)において、金属配線とゲート金属、およびS<sub>1</sub>基板とのコンタクト部のみエッチングにより層間絶縁膜を取り去る。そして最後に(e)において、金属配線の残りの層、例えばA<sub>1</sub>、W等をスパッタ、またはCVDにて形成する。このとき、単純にA<sub>1</sub>、W等を成膜するのではなく、バリアメタルと上層金属の密着層、例えばT<sub>1</sub>等を金属配線形成前にスパッタしておく、コンタクトの低抵抗化および上層金属層の付きまわり改善を測ることができる。

## 【0009】

【発明の効果】 本発明の製造方法は、以上説明したように、コンタクト径の縮小、ゲート電極と第1層目A<sub>1</sub>間の層間絶縁膜の厚膜化が行われ、コンタクト径と高さのアスペクト比がいくら上昇しても、十分な厚さのバリアメタル層が形成できることから、コンタクトスパイクなど、金属配線と基板S<sub>1</sub>との相互拡散による不良発生が防止できる。

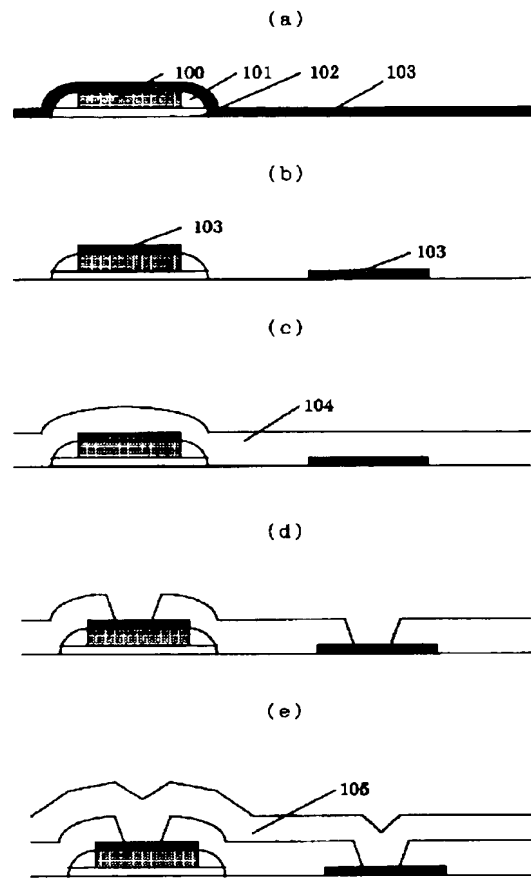
## 【図面の簡単な説明】

【図1】 本発明の実施例による断面図である。

## 【符号の説明】

- 100・・・ゲート電極
- 101・・・サイドウォール
- 102・・・ゲート酸化膜
- 103・・・金属配線バリアメタル層
- 104・・・層間絶縁膜
- 105・・・金属配線層

【図 1】



フロントページの続き

Fターム(参考) 4M104 AA01 BB02 BB14 BB30 CC05  
 FF17 FF18 FF26 GG09 HH08  
 HH16  
 5F033 AA02 AA04 AA09 AA29 BA04  
 BA12 BA15 BA25 BA37 BA46  
 CA04 DA07 DA15 DA35 DA36  
 EA02